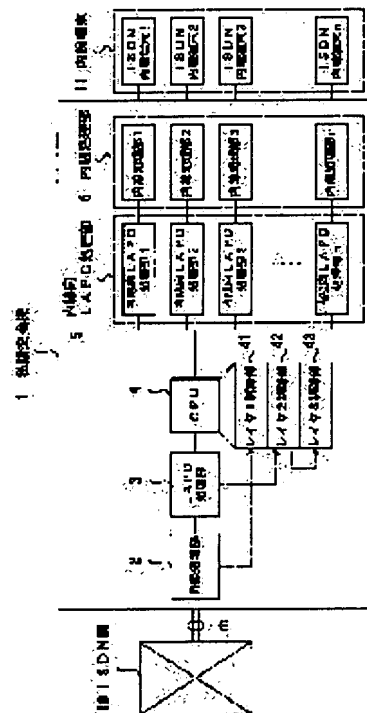


Ac

(11)Publication number : 2000-244638
(43)Date of publication of application : 08.09.2000

(21)Application number : 11-046653 (71)Applicant : ANDO ELECTRIC CO LTD
(22)Date of filing : 24.02.1999 (72)Inventor : IMADA YOSHIYUKI

SOLUTION: In a private switchboard 1, when call setting processing is executed by a CPU 4, an incoming call is transmitted to a prescribed terminal by the pilot function, and when the caller placing the call is registered in advance in a caller's number registration table, communication with the caller is operated by a B channel pair ring being communication using a plurality of sets of B channels.



<http://www19.ipdl.inpit.go.jp/PA1/result/detail/main/wAAA3naW8wDA412244638P1.htm> 7/11/2007

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244368

(P2000-244368A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テラコード* (参考)
H 0 4 B 1/713		H 0 4 J 13/00	E
H 0 4 J 11/00		11/00	Z
H 0 4 L 27/22		H 0 4 L 27/22	Z

審査請求 有 請求項の数16 O L (全 16 頁)

(21) 出願番号 特願2000-34877(P2000-34877)

(22) 出願日 平成12年2月14日 (2000.2.14)

(31) 優先権主張番号 09/249904

(32) 優先日 平成11年2月12日 (1999.2.12)

(33) 優先権主張国 米国 (US)

(71) 出願人 591169755

ティーアールダブリュー・インコーポレー
テッド

TRW INCORPORATED

アメリカ合衆国オハイオ州44124, リンド
ハースト, リッチモンド・ロード 1900

(72) 発明者 エドワード・エル・ニウ

アメリカ合衆国カリフォルニア州90278,
リダンド・ビーチ, ロビンソン・ストリー
ト 2229ビー

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

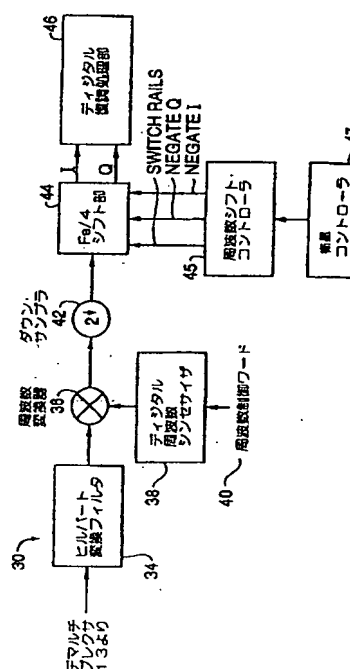
最終頁に続く

(54) 【発明の名称】 広帯域デジタル・チューナ及び該チューナを用いた受信機

(57) 【要約】

【課題】 ハードウェア設計を簡単にするとともに低速動作を可能にする。

【解決手段】 チューナは、デマルチプレクサの出力に対応して設けられた並列入力構造の複数の経路を備えており、各経路は、デマルチプレクサからの出力をヒルバート変換フィルタ34において、広帯域デジタル信号のスペクトルの不所望の半分を大幅に減衰させる。スペクトルの残り半分は周波数変換器36により複素ベースバンドにされ、ダウン・サンブラ42により1/2のサンプル数に低減され、 $F_s/4$ シフト部44によりデータ・サンプリング・レート F_s の1/4に等しい周波数シフトだけ上方にシフトし、I及びQデータ信号が出力される。チューナ出力はデジタル復調処理部46に供給され復調される。サンプル数の低減によりチューナの低速動作が可能となる。また、チューナを2つの別個の半部分に区分し互いのコピーとすることができるので、設計が簡単になる。



【特許請求の範囲】

【請求項 1】 広帯域デジタル・チューナであって、高レート広帯域デジタル信号を受信し、複数 (n) の並列デジタル信号を出力するデマルチプレクサ回路であって、前記並列信号の各々が、前記高レート広帯域デジタル信号の $1/n$ のレートであるレートを有する、デマルチプレクサ回路と、

複数のサンプル・レジスタからなるバンクであって、各サンプル・レジスタが、前記高レート広帯域デジタル信号のサンプルを 1 つ格納する、バンクと、

前記広帯域デジタル信号スペクトルの半分に減衰させる、複数のフィルタと、

前記サンプル・レジスタのバンク及び前記複数のフィルタを接続する接続マトリクスであって、前記複数のフィルタの各々に、前記サンプル・レジスタのバンクに格納されているサンプルの 1 つを同時に供給する接続マトリクスと、

各々、前記複数のフィルタの 1 つの出力の周波数をシフトする、少なくとも 2 つの周波数シフト回路とを備えることを特徴とする広帯域デジタル・チューナ。

【請求項 2】 請求項 1 記載の広帯域デジタル・チューナにおいて、前記複数のフィルタが、ヒルバート変換フィルタからなることを特徴とする広帯域デジタル・チューナ。

【請求項 3】 請求項 1 記載の広帯域デジタル・チューナにおいて、前記複数のフィルタが、複素バンドパス・フィルタからなることを特徴とする広帯域デジタル・チューナ。

【請求項 4】 請求項 1 記載の広帯域デジタル・チューナにおいて、前記フィルタの数が、前記デマルチプレクサが出力する並列データ信号の数よりも少ないことを特徴とする広帯域デジタル・チューナ。

【請求項 5】 請求項 4 記載の広帯域デジタル・チューナにおいて、前記サンプルが、前記複数のフィルタによって行われるダウン・サンプリングによって、デシメートされることを特徴とする広帯域デジタル・チューナ。

【請求項 6】 請求項 1 記載の広帯域デジタル・チューナにおいて、前記周波数シフト回路が、選択可能な周波数シフトを行うように構成可能であることを特徴とする広帯域デジタル・チューナ。

【請求項 7】 広帯域通信受信機であって、アンテナと、

前記アンテナが受信するアナログ信号を濾過するアナログ・バンドパス・フィルタと、

前記濾過アナログ信号をデジタル信号に変換する高速アナログ/デジタル変換器と、

前記デジタル信号を複数 (n) の並列デジタル信号に変換するデマルチプレクサであって、前記並列デジタル信号のデータ・レートが前記デジタル信号のレー

トの $1/n$ である、デマルチプレクサと、

前記並列デジタル信号に接続された少なくとも 2 つのフィルタであって、広帯域デジタル信号スペクトルの半分に減衰させるフィルタと、

前記少なくとも 2 つのフィルタの出力を処理する少なくとも 1 つの処理回路とを備えることを特徴とする広帯域通信受信機。

10 【請求項 8】 請求項 7 記載の広帯域通信受信機において、該受信機は更に、サンプル・レジスタのバンク及び前記少なくとも 2 つのフィルタに接続する接続マトリクスであって、前記少なくとも 2 つのフィルタの各々に、前記サンプル・レジスタのバンクに格納されているサンプルの各 1 つを同時に供給する接続マトリクスと、前記少なくとも 2 つのフィルタの 1 つの出力をそれぞれシフトする少なくとも 2 つの周波数シフト回路とを備えることを特徴とする広帯域通信受信機。

20 【請求項 9】 請求項 7 記載の広帯域通信受信機において、前記フィルタの数が、前記デマルチプレクサが出力する並列データ信号の数よりも少ないことを特徴とする広帯域通信受信機。

【請求項 10】 請求項 9 記載の広帯域通信受信機において、前記サンプルが、前記少なくとも 2 つのフィルタによって行われるダウン・サンプリングによって、デシメートされることを特徴とする広帯域通信受信機。

【請求項 11】 請求項 8 記載の広帯域通信受信機において、前記周波数シフト回路が、選択可能な周波数シフトを行うように構成されていることを特徴とする広帯域通信受信機。

30 【請求項 12】 請求項 7 記載の広帯域通信受信機において、前記処理回路がチャネライザを備えることを特徴とする広帯域通信受信機。

【請求項 13】 請求項 7 記載の広帯域通信受信機において、前記受信機がある数の異なる周波数間で順次切り替えられることを特徴とする広帯域通信受信機。

【請求項 14】 請求項 13 記載の広帯域通信受信機において、前記アナログ・バンドパス・フィルタが、粗いチューニングを行い、前記少なくとも 2 つのフィルタが、前記アナログ・バンドパス・フィルタを通過した信号の細密チューニングを行うことを特徴とする広帯域通信受信機。

40 【請求項 15】 請求項 7 記載の広帯域通信受信機において、該受信機は更に、前記複数のフィルタにそれぞれ対応し、着信広帯域デジタル信号スペクトルの残りの半分に複素ベースバンドに置く複数の複素乗算器を備え、少なくとも 1 つの複素乗算器が 3 つの乗算演算のみを行うように構成されていることを特徴とする広帯域通信受信機。

50 【請求項 16】 請求項 15 記載の広帯域通信受信機において、前記複数の複素乗算器の各々が、デジタル周波数シンセサイザを備え、該デジタル周波数シンセサ

イザが共通の位相アキュムレータを共用することの特徴とする広帯域通信受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、データ通信システムにおけるチューナ回路に関し、特に、通信衛星における広帯域デジタル・チューナに関するものである。なお、本発明は、米国空軍宇宙ミサイル司令部によって与えられた契約第F04701-97-C-0025「高度EHF EMプロセッサ」の下で米国政府の後援で行われたものである。米国政府は、本発明において特定の権利を有するものである。

【0002】

【従来の技術】チューナは、一般的に、指定された周波数範囲におけるあらゆる周波数でも、ダウン・コンバートが可能である。衛星データ伝送システムにおけるチューナは、通常、アナログ型、又はアナログ/デジタル変換器(ADC)の出力からの単一の直列入力を持つデジタル型である。通信衛星において用いられている従来の技術のチューナの基本的な構造を、図1にブロック図でしめしている。入力信号IF_{in}は、周波数が既に中間周波数にダウン・シフトされており、アナログ/デジタル変換器(ADC)12に印加される。アナログ/デジタル変換器12は、信号IF_{in}を、多数のサンプルを含む出力に高速でデジタル化する。

【0003】チューナ14は、アナログ/デジタル変換器12が出力するデジタル信号IF_{in}を受け取り、これを処理して、直交信号処理経路16、18に送り込む。これらの経路はそれぞれ、入力信号IF_{in}をより低い周波数に下方シフトする周波数変換器20を内蔵している。I信号処理経路16及びQ信号処理経路18の周波数変換器20はそれぞれ、入力キャリア $\cos(\omega t)$ 及び $\sin(\omega t)$ を直交デジタル正弦波発生器22から受け取り、周波数変換器に直交I及びQ信号を生成させ、これらの周波数をダウンシフトして、キャリア周波数を低下させる。直交デジタル正弦波発生器22への入力、周波数コマンドF_{in}であり、これは、直交デジタル正弦波発生器22に、適切な周波数の直交キャリア $\cos(\omega t)$ 、 $\sin(\omega t)$ を出力するように命じ、更に信号処理を進めるために、周波数変換器20が入力信号IF_{in}をより低いキャリア周波数にシフトさせる。 $\cos(\omega t)$ 及び $\sin(\omega t)$ の周波数変換器20への供給によって生成された、低周波数直交キャリアのエンベロープは、中間周波数入力信号IF_{in}内にあるデータの直交成分で復調される。周波数変換器20からの出力は、適切なロー・パス・フィルタ24に印加され、I及びQデータ成分をシフトさせた、所望の低キャリア周波数帯域外の周波数成分を減衰させる。

(あるいは、チューナ14は、ローパス・フィルタ24の代わりにバンドパス・フィルタを利用することも可能

である。)出力I及びQ信号は、チャンネル化、離散フーリエ変換(DFT: discrete Fourier transformation)及びその他の周知の信号処理技法を含む、下流にある従来の復調処理部26に印加される。

【0004】チューナ14の帯域幅は制限され、多数のIF周波数間の切替が行われるのは、一般に、ADC12内においてペイロードが単一の直列デジタル信号に変換されチューナ14に供給される前である。これら多数のIF周波数は、均一に離間された周波数位置に配置するとよいが、必ずしもそのようにする必要がない。異なるIF周波数間で切り替える処理のことを、「ホッピング」と呼ぶ場合もある。セキュリティの目的で、ホッピングは、送信局及び受信局のみに知られている素早いランダム・パターンで行われることが多い。アナログ構成部品は、信号減衰、ノイズ増大及び低信頼性という欠点を有している。これらの問題は、データ伝送システムが異なるチャンネル間で周波数ホッピングを利用する場合、更に悪化する。

【0005】殆どのチューナは、毎秒ギガビット範囲における広帯域信号に伴う高レートでの動作は、良好ではない。即ち、アンテナから受信した特定のスペクトルの入力広帯域信号を複数の狭帯域チャンネルに分離するために、チャネライザが一般に用いられている。広帯域信号は、異なる周波数帯域、異なるタイム・スロット、異なるスペクトル拡散符号化、又は、これらの技法のいずれか2つ以上を用いて、異なるチャンネルを搬送することができる。チャネライザは、広帯域チャネライザ及び、広帯域信号をより小さい区分の構成チャンネルに分離するために用いられる狭帯域チャネライザの場合がある。

【0006】広帯域衛星通信用途におけるチャンネル分配は、各々20個の100MHzサブバンド・チャンネルからなる複数の2GHzチャンネル群とするか、あるいは各々4つの80MHzサブバンド・チャンネルからなる320MHzチャンネル群とすることができる。これらの形態における各サブバンド・チャンネルは、例えば、各々20MHzの4つの狭帯域チャンネルのような、更に狭い帯域チャンネルの更に小さい区分にチャンネル化することができる。勿論、広帯域信号も狭帯域信号も、いずれの特定のスペクトル範囲にも限定されず、異なる用途のために別個に決定することができる。

【0007】本発明の好適な用途は、極度に高いデータ・レートで多数の異なる周波数チャンネル上でペイロード・データを伝送する広帯域衛星通信システムにある。しかしながら、伝送波形がディホッピング(dehopping)を必要とする、あらゆる周波数ホップ通信システムにも、適用可能である。更に、非均一に離間された周波数のチャンネルを含む波形からチャンネル情報を用意するためにも、使用可能である。

【0008】

【課題を解決するための手段】本発明の一例としての実施態様では、通信衛星は、アナログ・フロント・エンド、アンテナに機能的に「近接」するADC、及びデマルチプレクサ又はデマックスとしても知られているシリアル／パラレル変換器を有し、数個のディジタル出力信号を並列に与える。アナログ・フロント・エンドは、粗いチューニング即ち「ディホッピング」を行うように簡略化されており、これによって、従来のアナログ・フロント・エンドに関連する欠点の多くを回避する。ADCは、最新の市販ユニット、又は極度に高い速度のデータ・レートでサンプル可能な、特殊設計されたユニットである。ADCからの単一入力、デマックスによって、多数の出力ブランチに素早く切り替えられる。各出力スイッチは、ADCよりは遅いレートで出力するが、集積レート (aggregate rate) は同一のままである。このデータ・サンプリング・レートの低下により、粗いチューニングから得られた広帯域信号の処理が可能となる。

【0009】細密チューニングが行われるのは、高度ディジタル・チューナにおいてであり、該チューナは、デマルチプレクサからの複数の並列ディジタル信号入力を受け取る。高度ディジタル・チューナにおける並列アーキテクチャ及び処理によって、高サンプル・レート・データを、遙かに低いクロック・レートで処理することが可能となる。ディジタル・チューナは、ヒルバート変換フィルタのような複素バンドパス・フィルタによって、スペクトルの半分を濾過して除去し、残りの半分の複素ベースバンドにダウン・コンバートする。別のアーキテクチャでは、最初にダウンコンバートを行い、次いで半帯域フィルタによって、スペクトルの半分を濾過することも可能である。「半スペクトル」は、ナイキスト・レートの半分未満であるので、チューナは半分にダウン・サンプルすることができ、しかもエイリアシングが発生しない。これによって、チューナから、チャネル化やデータ検出というような下流復調処理のための出力信号が用意される。

【0010】

【発明の実施の形態】本発明による広帯域ディジタル・チューナの好適な実施形態を詳細に説明するが、本発明には、新規なフィルタ構成部品、制御、機能及び動作、ならびに構造の組み合わせが付随することには当然である。したがって、好適な実施形態を表わす図面のブロック図は、必ずしも、本発明の限定的な、あるいは一例としての、構造的配列を表わすとは限らず、単に、当業者に明白となるように、本発明の機能的及び動作的な側面を伝えることができるに過ぎない。

【0011】図2は、衛星のような広帯域通信機器における受信回路の主要構成部品のブロック図である。電磁放射を傍受又は捕獲し、続いて例示の受信機において入力及びダウン・コンバートを行うには、数種類の入力機

器が使用可能である。かかる入力機器の例には、アンテナ、導波路、同軸ケーブル、光ケーブル、又は赤外線周波数変換器を含むことができる。

【0012】図2に示しているように、一例としての広帯域、高データ・レート通信衛星受信機は、アナログ・フロント・エンド部10を備えることができる。アナログ・フロント・エンド部10は、受信周波数をダウンコンバートし、選択した周波数スペクトルを抽出する。通過した広帯域信号は、複数の狭帯域チャネルを含むことができる。アナログ・フロント・エンド部10は、対象の周波数スペクトルを順次選択し、ホッピング手順を実行していくように制御される。また、アナログ・フロント・エンド部10は、受信周波数の粗いチューニングも行う。高速ADC変換器 (A/D) 12が、最大所望周波数の少なくとも2倍のナイキスト基準の範囲内で設定したサンプリング・レートで、広帯域信号をサンプリングし、ディジタル信号を生成する。ディジタル信号は、nビットのデータ・サンプルのシーケンスで表わすことができる。ここで、 $n > 0$ である。ADC12が生成したnビットのデータ・サンプルのシーケンスは、デマルチプレクサ13に入力され、複数の並列データ出力13₁～13_nを生成する。

【0013】デマルチプレクサは、多数のタップを有する遅延線として実現することができ、各並列出力が、遅延線の異なるタップから出力される。デマルチプレクサの入力サンプルは、ADCのサンプリング・レートで直列に入力され、これよりも遅いレートで並列に出力される。デマルチプレクサ13の多重分離データ出力13₁～13_nは、本発明の原理にしたがって構築した高度ディジタル・チューナ14'に印加することができる。高度ディジタル・チューナ14'は、デマルチプレクサ13の多重分離データ出力13₁～13_nを、実データから複素 (実部及び虚部) データ表現に変換する。高度ディジタル・チューナ14'の出力は、例えば、チャネライザに送出し、複数の狭帯域チャネルに分離することができる。この場合、各狭帯域チャネルは、広帯域信号によって搬送されるチャネルの1つを搬送することができる。あるいは、高度ディジタル・チューナ14'の出力は、別の種類の信号処理回路 (図示せず) に送出することも可能である。

【0014】高度ディジタル・チューナ14'は、並列アーキテクチャのフィルタ・ブロックを用い、ADC12からのディジタル・データを、例えば、毎秒ギガビットのサンプル・レートで処理する。サンプル・レートは、勿論、実施する技術の速度に応じて、これよりも高い場合も低い場合もある。機能的に、フィルタ・ブロックは、着信ディジタル信号の広帯域ディジタル・スペクトルのほぼ半分以上を大幅に減衰させ、残りの半分の複素ベースバンドに載せ、1/2にダウン・サンプリングするフィルタを含む。複素ベースバンド信号は、ナイキスト

・レートは半分未満であり、このフィルタは、エリヤシングが発生するスペクトルを大幅に減衰するので、エリヤシングは発生しない。チューナ14'の並列アーキテクチャについての詳細な説明は、本明細書の後で行う。しかし、最初に、並列アーキテクチャにおいて利用するフィルタ・ブロックの2つの別々な実施形態について、これより説明する。

【0015】本発明による高度デジタル・チューナ14'におけるフィルタ・ブロックの第1の実施形態を、図3に簡略形態で示している。尚、図3には、別個のI及びQチャネルがあるが、図示を簡略化するために省略している。図3におけるフィルタ・ブロックは、デマルチプレクサ13の出力信号13_i~13_oから、1つのサンプル・ストリームのみを入力データ信号として受け取る。(デマルチプレクサ13のブランチは、例えば、1対4デマルチプレクサでは、x0, x4, x8, x12等の、インターリーブしたサンプル・ストリームを提供する。)入力データ信号は、周波数変換器36に印加され、複素正弦波形と乗算されて、低キャリア周波数にシフトする。次に、この信号は、半帯域フィルタ(HB F: half band filter)37、即ち、図5に例示している特殊のローパス・フィルタによって濾過される。半帯域フィルタ37の出力は、次にダウン・サンブラ42によって1/2にダウン・サンプリングされる。最後に、信号は、F_s/4シフト回路44において、所定の周波数シフトを受ける。

【0016】第1実施形態の周波数帯域動作が、図4A~図4Dに示されている。図4Aは、ADC及び多重分離動作後の、フィルタ・ブロックへの入力信号の周波数帯域の内容を示している。図4Bは、周波数シフト(正弦波で乗算する)及びHBF37の適用後の周波数帯域の内容を示している。そして、図4C及び図4Dは、ダウン・サンプリング及びF_s/4シフト後の周波数帯域を示している。

【0017】図5は、チェビシェフ(等リップル)誤差基準及びパークス・マククレラン・アルゴリズム(Parks-McClellan algorithm)を用いて半帯域フィルタ37を設計し作成する際に用いたコンピュータ・プログラムの2種類のリスト(run)の転記を示している。これらのリストは、等しい片側1600MHz通過帯域、遷移帯域及び停止帯域を有する15タップ及び19タップ半帯域フィルタの各特性を示している。15タップ・フィルタは、0.03dBの通過帯域リップル、及び-49.1dBの阻止帯域リジクションを有し、一方19タップ・フィルタは、0.01dBの通過帯域リップル、及び-59.5dBの阻止帯域リジクションを有する。

【0018】本発明による高度デジタル・チューナのフィルタ・ブロックの第2の好適な実施形態を簡略形態で図6に示している。これは、第1の実施形態における

周波数変換器36の後段の半帯域フィルタ37(図3)の代わりに、周波数変換器36の前段ヒルバート変換フィルタ(HTF)34を用いることを除いて、第1実施形態と同様である。この第2実施形態は、基本フィルタ・ブロックの作用効果により、全体として第1実施形態に勝るものとなる。その作用効果の説明のために、図7に、更に詳細な構成を示している。ヒルバート変換フィルタ(HTF)34は、実データ入力信号13_i~13_oを実成分及び虚成分を有する複素データ信号に変換し、信号の広帯域デジタル・スペクトルのほぼ半分を大幅に減衰させる。ヒルバート変換は、複素信号のフーリエ変換の実部及び虚部間の関係を定義する(その $-\pi < \omega < 0$ の範囲におけるフーリエ変換は、0である)。

【0019】この関係は、次のように表される。

【数1】 $X_i(\omega) = H(\omega) X_r(\omega)$

ただし、 $H(\omega) = -j \quad 0 < \omega < \pi$ のとき
 $H(\omega) = j \quad -\pi < \omega < 0$ のとき

言い換えると、複素信号のフーリエ変換の虚部は、実部を90°位相シフトしたものである。したがって、実信号から複素信号を形成するには、単に前述の応答を有するHTFに実信号を通過させればよい。その出力は、新たに形成された複素信号の虚部を表わす。元の信号は、HTFの群遅延によって遅延され、最終出力の実部として用いられる。周波数ドメインでは、形成した信号は、元の信号のスペクトルの一方側と等価の片側スペクトル(one-sided spectrum)を有する。

【0020】フィルタ・ブロックにおける少なくとも1つのデジタル周波数シンセサイザ38が、デジタル的に合成し複素指数を表わす直交正弦波を周波数変換器36に供給する。次に、正弦波に、HTF34からのデータ出力を乗算し、これらを下方の複素ベースバンドに変調する。HTF34から出力されたデータをシフト・ダウンする、特に指定した周波数を、入力されるFREQUENCY CONTROL WORD(周波数制御ワード)40によって指定する。デジタル・データ帯域幅のほぼ半分を除去するヒルバート変換フィルタ34、及び濾過したデータをダウン・シフトする周波数変換器36を通過することにより、周波数変換器からの出力は、データ・サンプルの余分な半分を除去するダウン・サンブラ42によって、1/2にダウン・サンプリングされる。したがって、この回路は、チューナとしてだけではなく、デシメーション(decimation)としても動作する。

【0021】ダウン・サンブラ42の出力は、周波数シフト部44に印加され、ダウン・サンブラ42からの出力の周波数を、データ・サンプリング・レートF_sの1/4に等しい周波数シフトだけ、上方にシフトする。周波数シフト・コントローラ45が、制御信号SWITCH RAILS(レール切換)、NEGATE Q(Q

ニゲート)及びNEGATE I (Iニゲート)を生成する。これらの信号は、以下に明記する関係にしたがって動作し、+1、+j、-1及びjという循環的出力を*

乗数	制御信号
+1	レールのニゲートもスワップもしない
+j	Q-レールをニゲートし、レールをスワップする (即ち、I及びQを切り替える)
-1	双方のレールをニゲートし、レールをスワップしない
-j	I-レールをニゲートし、レールをスワップする

【0022】周波数シフト部44は、I及びQデータ信号を出力する。これらは、正しい周波数位置にシフトされ、I及びQデータの周波数を、チャネライザ(図示せず)によって生成されるチャンネルと整合させる。スペクトルの効率のため、及びダウン・サンプラ42によるエリアシングを防止するために、周波数変換36によって生成されるデジタル・スペクトルは、ベースバンドを中心として正側及び負側に離間したチャンネルを有するが、ベースバンドにはチャンネルは有さない。チャネライザは、適正に機能するためには、入力データを、ベースバンドを中心としたチャンネルと整合することを必要とする。乗数の適切な制御及び選択によって、周波数シフト部44は、更に、データ・サンプリング・レート F_s の $1/4$ 、半分、又は0に等しい周波数シフトを行うことができる。ここで、 F_s は、ダウン・サンプラ42から出力されるデータのデータ・サンプル・レートである。周波数シフト部は、どのような周波数をどのような周波数にシフト可能かに関して、柔軟である。これにより、チャンネル化のような、次段のために波形を位置付ける。

【0023】第2実施形態の周波数帯域動作を、図9A～図9Eに示している。図9Aは、ADC及び多重分離動作後のフィルタ・ブロックへの入力信号の周波数帯域の内容を示している。図9Bは、HTF34に印加した後の帯域の内容を示している。図9Cは、周波数シフト(正弦波を乗算する)後の帯域の内容を示している。図9D及び図9Eはそれぞれ、ダウン・サンプリング及び $F_s/4$ シフト後の帯域を示している。

【0024】図10は、図5において利用したのと同じコンピュータ・プログラムのリストの転記であり、フィルタ・ブロックの第1実施形態における半帯域フィルタと同じ両側通過帯域幅及び19タップを有するヒルバート変換フィルタを示している。通過帯域リップル及び阻止帯域リジクションは、第1実施形態よりはわずかに悪化している。図11～図13は、第1実施形態の19タップ半帯域フィルタのフィルタ特性を得るためにはどれだけタップが必要かを示しているリストの転記である。ほぼ同一のフィルタ特性を得るためには、19タップから35タップに拡張していることがわかる。(繰り返しフィルタ構造では、タップ数を4つ増やす。これは、フィルタは、1つ置きにタップ毎にゼロ又はほぼゼロのタップを有し、フィルタは対称的であるためであ

*生成し、データ・サンプリング・レート F_s のクロックで駆動する。なお、制御信号を発生する回路については、以下で図8に関連付けて説明する。

る。2つのタップの追加は、フィルタにゼロのみを追加するので、フィルタ応答には変化を生じない。)図14及び図15は、10MHzのオフセットを考慮し、通過帯域を拡張したものである。HTF34は、一般的な非対称型複素バンドパス・フィルタに組み込むことができるが、全てのタップ値は非ゼロになり、ハードウェアの著しい増大を伴う。

【0025】フィルタ・ブロックの第2実施形態は、ヒルバート変換フィルタの対称性及びゼロ値タップ、更に $1/2$ のダウン・サンプリングを利用して、効率的な実施形態を達成し、一層コンパクト化したフィルタ設計(ゲート数減少)及び電力使用の効率化をもたらす。ダウン・サンプリング及びフィルタ特性は、効率的な入力順序付け及びデータ格納方法も、提供する。更に、このチューナは、実施形態の半分のみが固有の設計を必要とするように分割することも可能である。他方の半分は、前者のハードウェアのコピーであり、これによって、設計及び検査時間の短縮を図ることができる。

【0026】前述のように、チューナ14'の好適な実施形態の重要な特徴の1つは、フィルタ・ブロックを構成する並列アーキテクチャである。明らかなように、各フィルタ・ブロックは、チューナ14'に入力されるデマルチプレクサ13の出力信号13₁～13_nと等しい数だけ備えることができる。しかしながら、このような場合、フィルタ・ブロックの数(したがって、フィルタ、周波数シンセサイザ、乗算器等の数)は、デマルチプレクサの出力信号数と等しくなり、何らかの問題点が生ずる可能性がある。勿論、フィルタ・ブロックの数は、常に、デマルチプレクサの出力信号数よりも多く、又は等しく、又は少なく決定することができる。

【0027】このように、本発明の好適な実施形態によるチューナ14'は、チューナに入力される信号毎にフィルタ・ブロックを単に繰り返すのではなく、素子の有機的な結合(strategic combination)を利用する。更に、このチューナは、パイプライン状に動作する。1つのサンプルが入力としてフィルタに入ると、1つの出力サンプルを発生しなければならない。チューナ14'内のフィルタ・ブロックは、各クロック・サイクル毎に多数の入力サンプルを取り込み、単一出力サンプルを発生する。本発明は、多くのフィルタを同時にデータに動作させることによって、処理を並列

化する。チューナは、サンプル・レジスタの集合体に、並列処理されるフィルタの出力を判定する際に必要なサンプルを格納し、各フィルタは、デマルチプレクサ13の異なる出力ブランチからの多数の入力サンプルを取り込む。

【0028】チューナ14'の実施形態を図16及び図17に示している。図面及び説明の簡略化のために、本出願人は、デマルチプレクサ13が4つの出力信号のみを有する1対4デマルチプレクサであり、HTFフィルタ34が11個のタップのみを有すると仮定する。チューナは、多数のサンプル・レジスタを含み、各サンプル・レジスタは、デマルチプレクサ13のそれぞれの出力に接続されるか、あるいは、デマルチプレクサ13の各出力信号に接続されたサンプル・レジスタに直列に接続される。4つのサンプルからなる1群が、一連のサンプル・レジスタの最初のサンプル・レジスタに読み込まれる毎に、一連のサンプル・レジスタの最後のサンプル・レジスタからサンプルが読み出される。各入力サンプル毎に1つの出力サンプルを処理する場合、連続するフィルタ動作を得ることができ、1つの入力サンプルによってシフトされる。入力サンプルが十分にある限り、そしてこれらのフィルタ動作に供給できる限り、4つの連続出力からなる1群を常時得ることができる。(DEMUXの個々のブランチを濾過することは不可能である。何故なら、DEMUXのブランチは、1対4でマルチプレクサのために、例えば、x0, x4, x8, x12等のインターリーブされたサンプルを与えるからである。)

【0029】デマルチプレクサ13が単純に時間多重化で一連の連続サンプル(a~m)を与えると仮定すると、サンプル・レジスタは、それぞれ、図16及び図17に示しているように、サンプルを格納する。このサンプル格納プロセスは、サンプルのバンクを形成するので、これらを適切な時点で適切なフィルタに供給することができる。図16及び図17にはその全体を示さないが、接続マトリクスが形成されており、各サンプル・レジスタ内に格納されているサンプルを選択的に、ヒルバート変換フィルタのいずれにも供給可能となっている。次いで、サンプルは、適正なタイミング及び入力位置で、ヒルバート変換フィルタに供給される。一旦チューナの構成が(デマルチプレクサ13からのブランチ数、フィルタ34の数、各フィルタ内のタップ数について)設定されたなら、接続シーケンスを決定し、接続マトリクスを制御し、接続の適正な順序及びシーケンスを実行する。

【0030】ダウン・サンプリングを行わない場合、4つのフィルタを図16に示しているように利用する。4つの入力サンプルがデマルチプレクサからフィルタに入力する場合、フィルタ・レートはADCのサンプリング・レートよりも4倍遅いことを意味し、データの溢れ又は不足を防止するためには、同時に4つの出力サンプル

を決定しなければならない。各フィルタにおいて10個のサンプル全てが使用される訳ではなく、フィルタ動作の次のサイクルのために潜在的に格納する必要がある。これは、正しい入力サンプルを適切なフィルタにリンクするスイッチ・構造により実現される。

【0031】しかしながら、フィルタ動作と組み合わせでダウン・サンプリングを行うことによって、利点を得ることができる。ダウン・サンプリングによって、デシメーション係数Mだけ、発生する出力サンプル数が減少する。これによって、各クロック・サイクル毎に実行しなければならないフィルタ動作の回数が減少する。前述の例から続けると、M=2の場合、フィルタに入力する4つの入力サンプルについて、2つのフィルタだけを計算すればよい。何故なら、いずれの場合でも2つの出力サンプルのみが保持され、残りの2つはダウン・サンプリングによって欠落するからである。これを図16に示している。このように、並列アーキテクチャでは、フィルタ及びダウン・サンプリング間の複素指数の乗算であっても、各フィルタ動作を不要にすることができる。

【0032】ヒルバート変換フィルタ及び半帯域フィルタは、対称的な有限インパルス応答フィルタであり、一方の半分は、他方の半分の鏡像である。したがって、入力を「プリフォールド」する、即ち、フィルタ動作の前に適切にこれらを追加することによって、タップ数を1/2に削減することができる。第2に、これらが奇数のタップを有する場合、1つ置ききのタップはゼロの値を有する。このため、処理すべき唯一のタップ値の数は更に1/2に減少する。

【0033】デマルチプレクサ13からは4つの出力信号があるが、図17には2つのヒルバート変換フィルタ341, 342が備えられているだけである。図16におけるように、4つのフィルタを備えて下流の個別ダウン・サンプリング42において1つ置ききのサンプルを削除する代わりに、ダウン・サンプリングを行うためのフィルタ数を先験的に設定することが好ましい。1/2のダウン・サンプリングの場合、2つのフィルタのみを備えればよい。このような場合、スイッチ・マトリクスにより、フィルタ数に応じて、サンプルをフィルタに送出する。

【0034】加えて、従来の「乗算及び加算」フィルタ設計の代わりに、分散算術(AD: distributed arithmetic)を用いてフィルタを実施することが好ましい。全てのプロセス・ビットは、1クロック・サイクルで処理することができる。DAアーキテクチャでは、ヒルバート変換フィルタを構成する場合、必要に応じて周波数シフト制御がフィルタ出力をニゲートし、正か負のどちらの側波帯を通過させ、どちらの側波帯を阻止するか選択することができる。

【0035】更に、多数のデマルチプレクサの出力ブランチ及びフィルタがある場合もあるが、各フィルタ・ブ

ロック毎に1つのデジタル周波数シンセサイザを具備させることを避けることも可能である。信号を乗算しその周波数をダウン・コンバートする複素指数は、デジタル・ダイレクト周波数シンセサイザ(DDFS)で実施することが好ましい。DDFSは、位相インデックス(位相増分刻みを表わす整数)を、当該特定の位相を有する正弦波信号の振幅にマッピングする。位相インデックスが一定間隔で増分する場合、周波数が表わされ、DDFSの出力は正弦波信号を形成する。DDFSは、正弦波及び余弦波の出力を生成し、複素指数を複製する。

【0036】一度に複数のDDFSが動作するが、共通の位相アキュムレータが各DDFS毎に、それぞれの位相インデックスを保持する。入力サンプルは、異なる位相を表わす正弦波のサンプルと個々に乗算される。このようにすれば、周波数は変化しない。いずれか2つの連続サンプル間の位相間隔が同一であるように、N個のサンプルで分離されたサンプル間の位相間隔も同一である。したがって、個々のDDFS毎に一定のオフセットだけがあればよい。また、各複素乗算器も固有のアーキテクチャを有する。これは、4回の乗算及び2回の加算を必要とする従来の $(a-d-bc)+j(ac+bd)$ という計算を実行しない。その代わりに、2つの複素数 $a+jb$ 及び $c+jd$ がある場合、その積は、 $ac-bd+j[ad+bc]$ に等しい。複素積には、4回の乗算及び2回の加算演算がある(実部及び虚部間の表記上の加算は無視する)。 $a(c+d)-(a+b)d+j[b(c-d)+(a+b)d]$ のような同様な複素積を発生することができる。この形態は、5回の加算演算を必要とするが、 $(a+b)d$ 項が繰り返されるので、乗算は3回でよい。

【0037】最後に、 $F_s/4$ 周波数シフト回路は、各ブランチ毎に冗長的に備える必要はない。ダウン・サンプリングをフィルタ動作内に含ませることができるので、図8に示している選択可能な周波数シフト回路、及びコントローラ全体を各フィルタ出力毎に備える必要はない。代わりに、各フィルタ・ブランチ毎に、適切なシフト部(1, -1, j又はjのいずれか)を先験的に設定することができる。

【0038】図18からも明らかなように、ADC12のサンプリング・レートを低下させるためにデマルチプレクサ13から多数の入力信号が供給されるにも拘らず、デマルチプレクサからの入力信号数の増大と線形的にハードウェア量を増大させる必要はない。実際、先に論じた好適な実施形態の1つを実現することにより、デジタル周波数シンセサイザ及びフィルタ動作が少ないので、冗長性を減少させることができる。更に、実施態様の半分のみが固有の設計を必要とするように、区分化することができる。他の半分は、前者のハードウェア・コピーであり、これによって、設計及び検査時間が短縮

する。最後に、本発明の並列性によって、大量の電力節約が実現し、CMOSのような低速、低電力技術の使用が可能となる。

【0039】本発明の他の特徴は、例示の実施形態の詳細な説明及び特許請求の範囲を添付図面と関連付けて読むことによって、当業者には明白となろう。これまで及びこれ以降に記載しかつ図示している開示内容は、本発明の好適な実施形態を開示していることを目的とするが、これらは例示及び一例に過ぎず、限定として捕らえるものではなく、本発明の具体的な構成が変更可能であることは明らかに理解されよう。これまで、本発明の例示としての実施形態であると考えられるものについて説明してきたが、その中において種々の変更が可能であり、本発明は種々の形式及び実施態様で実現可能であり、更に、多数の用途に適用可能であることは理解されよう。ここでは、その一部についてのみ記載したに過ぎない。

【図面の簡単な説明】

【図1】従来技術例のチューナのブロック図である。

【図2】広帯域通信受信機の主要構成部品を示したブロック図である。

【図3】図2に示した受信機の高度デジタル・チューナ14'におけるフィルタ・ブロックの第1の実施形態を示しているブロック図である。

【図4】図3に示した第1の実施形態の周波数帯域動作を説明するための図である。

【図5】図3に示した第1の実施形態の15タップ及び19タップ半帯域フィルタのコンピュータ・プログラム・リストの図である。

【図6】図2に示した受信機の高度デジタル・チューナ14'におけるフィルタ・ブロックの第2の実施形態を示している簡略ブロック図である。

【図7】図6の第2の実施形態の更に詳細なブロック図である。

【図8】図7に示した第2の実施形態に用いられる周波数シフト部44の詳細な構成を示すブロック図である。

【図9】図7に示した第2の実施態様の周波数帯域動作を説明するための図である。

【図10】図7に示した第2の実施形態の19タップ・ヒルバート変換フィルタのコンピュータ・プログラム・リストの図である。

【図11】図12及び図13とともに、19及び35タップをそれぞれ有する場合の第2の実施形態の一連のヒルバート変換フィルタのコンピュータ・プログラム・リストの図である。

【図12】図11及び図13とともに、19及び35タップをそれぞれ有する場合の第2の実施形態の一連のヒルバート変換フィルタのコンピュータ・プログラム・リストの図である。

【図13】図11及び図12とともに、19及び35タ

ップをそれぞれ有する場合の第2の実施形態の一連のヒルバート変換フィルタのコンピュータ・プログラム・リストの図である。

【図14】図15とともに、10MHzのIFオフセットを有する、35タップ・ヒルバート変換フィルタのコンピュータ・プログラム・リストの図である。

【図15】図14とともに、10MHzのIFオフセットを有する、35タップ・ヒルバート変換フィルタのコ*

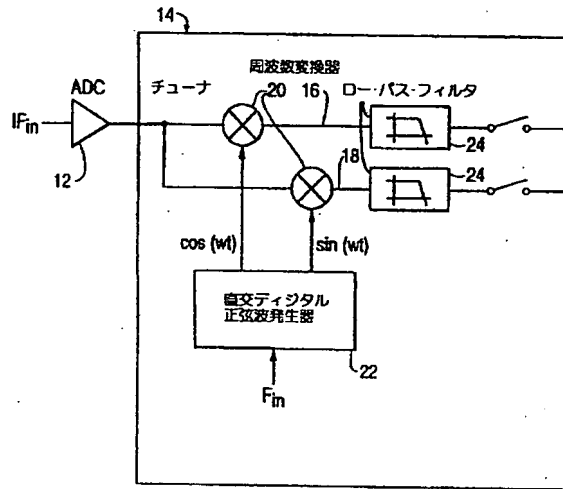
* コンピュータ・プログラム・リストの図である。

【図16】高度デジタル・チューナ14'の実施形態の部分詳細図である。

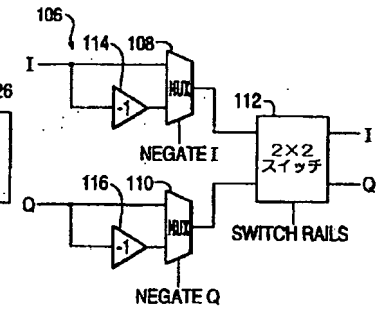
【図17】高度デジタル・チューナ14'の実施形態の部分詳細図である。

【図18】高度デジタル・チューナ14'の実施形態の詳細なブロック図である。

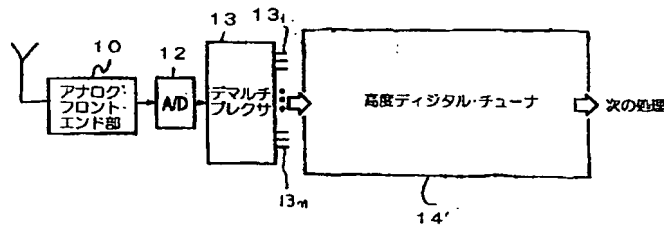
【図1】



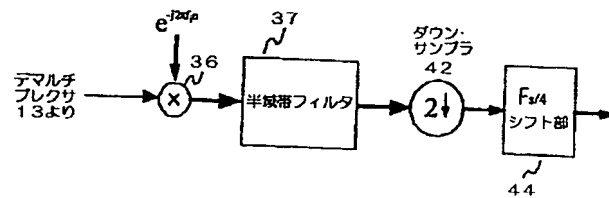
【図8】



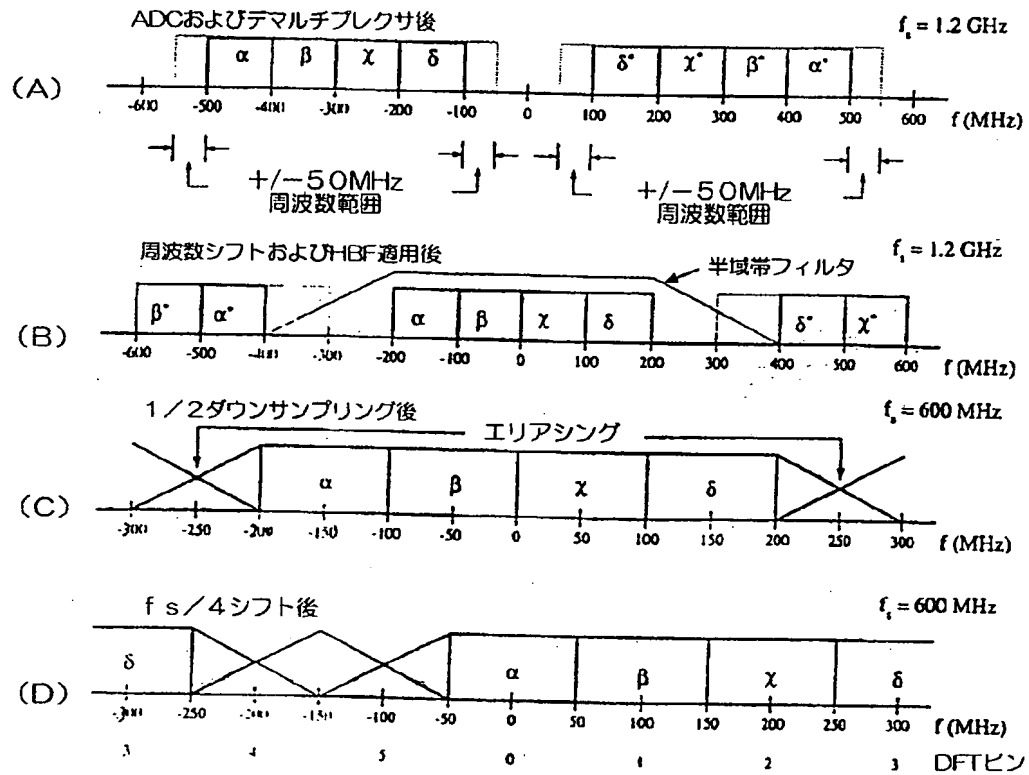
【図2】



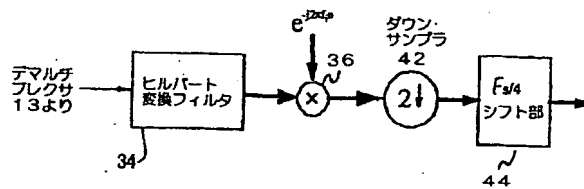
【図3】



【図4】



【図6】



【図11】

```

nero% parks
Filter Types
1 - Bandpass (and Lowpass)
2 - Differentiator
3 - Hilbert transform
4 - Read grid from file
Enter Type : 3
Sampling Frequency : 960
Number of Pass/Stop Bands : 3
Band Edges (min, max) : 0,0.50,430,480,480
Response for Each Band : 0,1,0
Weighting Function for Each Band : 1,1,1
Grid Factor (nominal=16) : 16
Filter Length (taps) : 19
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm

```

【図5】

```

nero% parks
Filter Types
  1 - Bandpass (and Lowpass)
  2 - Differentiator
  3 - Hilbert transform
  4 - Read grid from file
Enter Type : 1
Sampling Frequency : 960
Number of Pass/Stop Bands : 2
Band Edges (min, max) : 0,160,320,480
Response for Each Band : 1,0
Weighting Function for Each Band : 1,1
Grid Factor (nominal=16) : 16
Filter Length (taps) : 15
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
*****
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Bandpass Filter
Filter Length = 15

      Band 1      Band 2      Band
Lower Band Edge  0.000000000  0.333333343
Upper Band Edge  0.166666672  0.500000000
Desired Value    1.000000000  0.000000000

Weighting        1.000000000  1.000000000
Deviation        0.003510498  0.003510498
Deviation in dB  0.030438203 -49.092628479

Save Filter? y(1), n(0) : 0
Float,      Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 19
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
*****
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Bandpass Filter
Filter Length = 19

      Band 1      Band 2      Band
Lower Band Edge  0.000000000  0.333333343
Upper Band Edge  0.166666672  0.500000000
Desired Value    1.000000000  0.000000000

Weighting        1.000000000  1.000000000
Deviation        0.001053912  0.001053912
Deviation in dB  0.009149494 -59.543910980

```

【図15】

```

Hilbert Transformer
Filter Length = 43

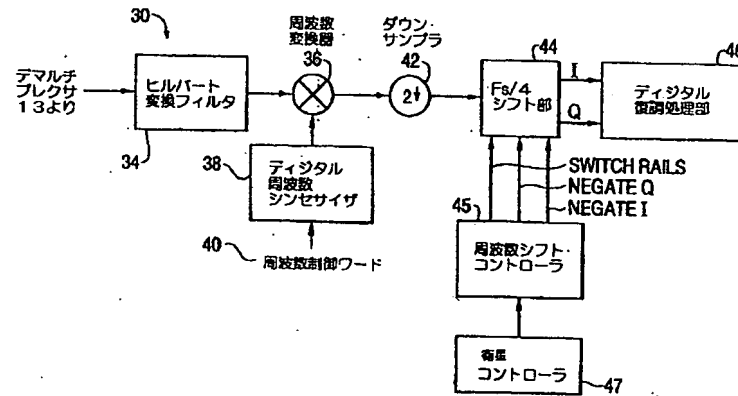
      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.041666668  0.500000000
Upper Band Edge  0.000000000  0.458333343  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.001186507  0.001186507  0.001186507
Deviation in dB -58.514591217  0.010299613 -58.514591217

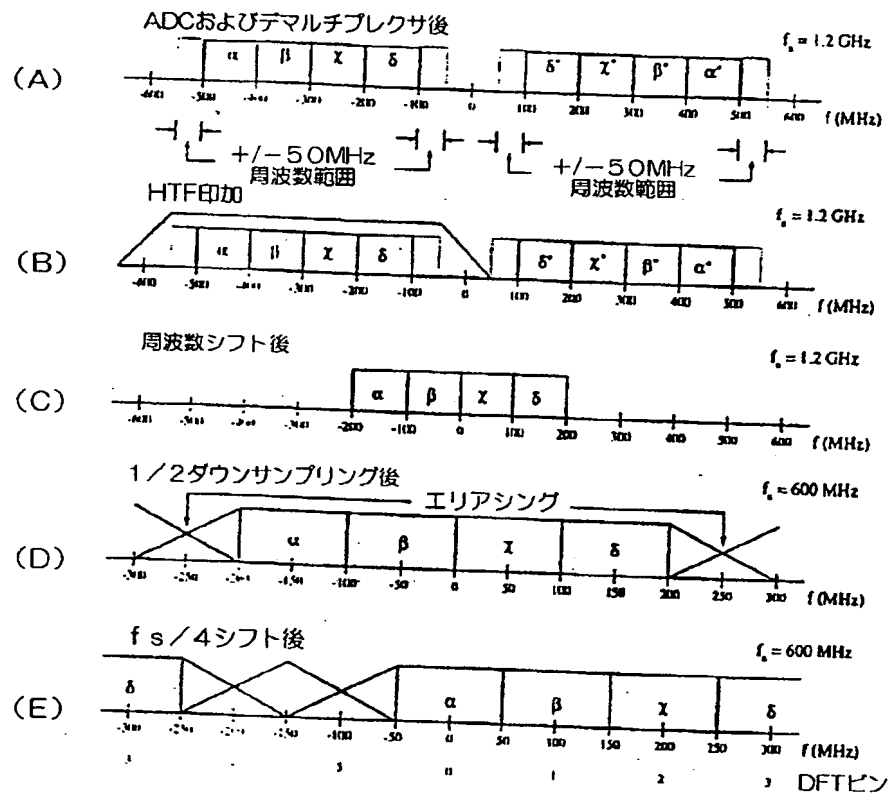
Save Filter? y(1), n(0) : 0
Float,      Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 0

```

【図7】



【図9】



```

nero% parks
  Filter Types
    1 - Bandpass (and Lowpass)
    2 - Differentiator
    3 - Hilbert transform
    4 - Read grid from file
Enter Type : 3
Sampling Frequency : 960
Number of Pass/Stop Bands : 3
Band Edges (min, max) : 0.0,80,400,480,480
Response for Each Band : 0.1,0
Weighting Function for Each Band : 1,1,1
Grid Factor (nominal=16) : 16
Filter Length (taps) : 19
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 19

          Band 1          Band
Lower Band Edge    0.000000000    0.0833333
Upper Band Edge    0.000000000    0.4166666
Desired Value       0.000000000    1.0000000

Weighting          1.000000000    1.0000000
Deviation           0.002107411    0.0021074
Deviation in dB     -53.525012970    0.0182852

```

Figure 1 is a block diagram of a 14-bit shift register, labeled "デューナ14'". The diagram is divided into two main sections by a dashed line. On the left, there is a component labeled "デマルチプレクサ 13" (Demultiplexer 13) which has four output lines. These lines feed into a 4x3 grid of cells. The cells in the grid contain the letters: d, h, i, c, g, k, b, f, l, a, e, t, and a final cell labeled 'n'. Arrows indicate the flow of data from the demultiplexer into the grid and from the grid to the right section. The right section contains two horizontal rows of cells. The top row contains letters a through k, and the bottom row contains letters c through m. Arrows indicate the flow of data from the grid into these rows. Labels "a-m" and "c-m" are placed near the input lines to the top and bottom rows, respectively. On the far right, there are two labels: "343 (11タップ)" for the top row and "341 (11タップ)" for the bottom row, indicating the output taps for each row.

【図12】

```

Hilbert Transformer
Filter Length = 19

      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.052083332  0.500000000
Upper Band Edge  0.000000000  0.447916657  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.019578451  0.019578451  0.019578451
Deviation in dB  -34.164432526  0.168413013  -34.164432526

Save Filter? y(1), n(0) : 0
Float,      Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 23
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
*****
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 23

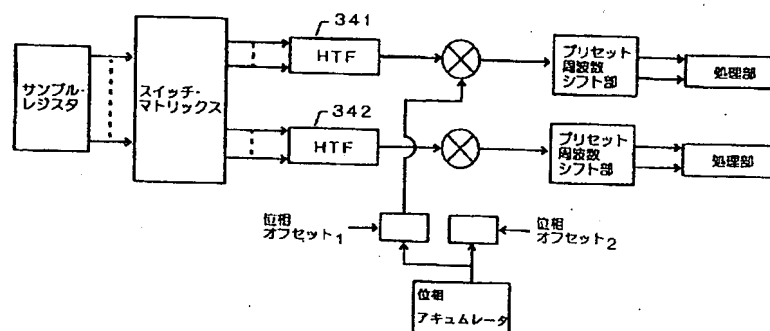
      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.052083332  0.500000000
Upper Band Edge  0.000000000  0.447916657  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.009308033  0.009308033  0.009308033
Deviation in dB  -40.622840881  0.080474138  -40.622840881

Save Filter? y(1), n(0) : 0
Float,      Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 27
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
*****

```

【図18】



【図13】

```

Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 27

      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.052083332  0.500000000
Upper Band Edge  0.000000000  0.447916657  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.004451294  0.004451294  0.004451294
Deviation in dB  -47.030273438  0.018577486  -47.030273438

Save Filter? y(1), n(0) : 0
Float, Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 31
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....

Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 31

      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.052083332  0.500000000
Upper Band Edge  0.000000000  0.447916657  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.002141741  0.002141741  0.002141741
Deviation in dB  -53.384662628  0.018582800  -53.384662628

Save Filter? y(1), n(0) : 0
Float, Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 35
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....

Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 35

      Band 1      Band 2      Band 3      Band
Lower Band Edge  0.000000000  0.052083332  0.500000000
Upper Band Edge  0.000000000  0.447916657  0.500000000
Desired Value    0.000000000  1.000000000  0.000000000

Weighting        1.000000000  1.000000000  1.000000000
Deviation        0.001044481  0.001044481  0.001044481
Deviation in dB  -59.621986389  0.009067779  -59.621986389

Save Filter? y(1), n(0) : 0
Float, Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 0

```


【図14】

```

Filter Types
1 - Bar' ass (and Lowpass)
2 - Differentiator
3 - Hilbert transform
4 - Read grid from file
Enter Type : 3
Sampling Frequency : 960
Number of Pass/Stop Bands : 3
Band Edges (min, max) : 0,0,40,440,480,480
Response for Each Band : 0,1,0
Weighting Function for Each Band : 1,1,1
Grid Factor (nominal=16) : 16
Filter Length (taps) : 35
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 35

```

	Band 1	Band 2	Band 3	Band
Lower Band Edge	0.000000000	0.041666668	0.500000000	
Upper Band Edge	0.000000000	0.458333343	0.500000000	
Desired Value	0.000000000	1.000000000	0.000000000	
Weighting	1.000000000	1.000000000	1.000000000	
Deviation	0.003759507	0.003759507	0.003759507	
Deviation in dB	-48.497383118	0.032593403	-48.497383118	

```

Save Filter? y(1), n(0) : 0
Float, Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 39
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm
Hilbert Transformer
Filter Length = 39

```

	Band 1	Band 2	Band 3	Band
Lower Band Edge	0.000000000	0.041666668	0.500000000	
Upper Band Edge	0.000000000	0.458333343	0.500000000	
Desired Value	0.000000000	1.000000000	0.000000000	
Weighting	1.000000000	1.000000000	1.000000000	
Deviation	0.002110878	0.002110878	0.002110878	
Deviation in dB	-53.510738373	0.018315190	-53.510738373	

```

Save Filter? y(1), n(0) : 0
Float, Rip= 0.0000, Rip= 0.0000, Rip= 0.0000
Bits Start : 0
Another Filter? y(1), n(0) : 1
Filter Length (taps) : 43
Setting up grid...
Initializing extremal frequencies...
Performing Remez exchange algorithm...
Calculating impulse response...
.....
Finite Impulse Response (FIR)
Linear Phase Digital Filter Design
Using Remez Exchange Algorithm

```

フロントページの続き

(72)発明者 サム・エイチ・リウ
 アメリカ合衆国カリフォルニア州90025,
 ロス・アンジェルス, サウス・センティネ
 ラ・アベニュー 1540, ナンバー 104

(72)発明者 グレゴリー・エス・カソ
 アメリカ合衆国カリフォルニア州90254,
 ハーモサ・ビーチ, ゴールデン・アベニュー
 1533